

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189954

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 29/78
H01L 21/8234
H01L 27/088

(21)Application number : 08-341860

(71)Applicant : SONY CORP

(22)Date of filing : 20.12.1996

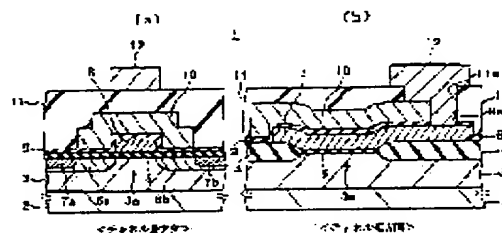
(72)Inventor : TERAMOTO SHIGEKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the driving capability of a high-breakdown strength transistor, while preventing the breakdown strength from degrading.

SOLUTION: This semiconductor device comprises at least one impurity region, including a lightly-doped offset impurity region 6b (6a) and a heavily-doped impurity region 7b (7a) formed sequentially from the channel forming region 3a side, a first electrode 8 formed on the channel forming region 3a through a gate insulator 5, and a second electrode 10 formed on a first electrode 8 and an offset impurity region through an intermediate insulator 9 and connected electrically with the first electrode 8 through a contact hole 9a in the intermediate insulator 9 opening onto the first electrode 8. The second electrode 10 protects the offset impurity region and prevents lowering of initial value or operational degradation for I_{ds} . Furthermore, salicidation is facilitated, and matching between a floating gate structure and a peripheral transistor is enhanced in a water process.



LEGAL STATUS

[Date of request for examination]

21.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189954

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl. ⁶	識別記号	F I		
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 S	
21/8234		27/08	1 0 2 B	
27/088				

審査請求 未請求 請求項の数 5 O L (全 11 頁)

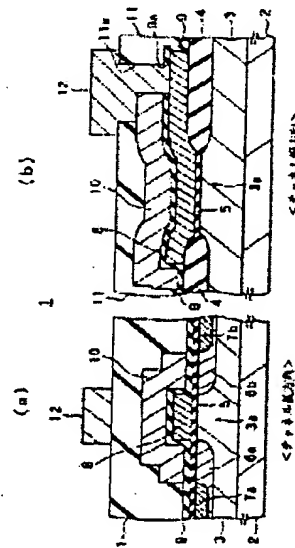
(21) 出願番号	特願平8-341860	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成8年(1996)12月20日	(72) 発明者	寺本 茂樹 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74) 代理人	弁護士 佐藤 隆久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高耐圧トランジスタの駆動能力および耐圧低下を防止する。

【解決手段】 少なくとも一方の不純物領域が、チャネル形成領域3a側から順に、低濃度なオフセット不純物領域5b(又は5a)、高濃度な不純物領域7b(又は7a)を隣接させて構成され、チャネル形成領域3a上にゲート絶縁膜5を介して積層された第1の電極8と、この第1の電極8及びオフセット不純物領域上に中間絶縁膜9を介して積層され、第1の電極8上に開口する中間絶縁膜9のコンタクト孔9aを介して当該第1の電極8と電気的に接続されている第2の電極10と、を有する。第2の電極10により、オフセット不純物領域が保護されて1dsについて初期値低下や動作時劣化が防止される。また、サリサイド化が容易で、フローティングゲート構造の周辺トランジスタとのウェーハプロセス上の整合性も高い。



【特許請求の範囲】

【請求項 1】 半導体基板内の表面側でチャネル形成領域を挟んで互いに離間する2つの不純物領域を有し、少なくとも一方の前記不純物領域が、前記チャネル形成領域側から順に、低濃度なオフセット不純物領域と高濃度な不純物領域とを隣接させて構成されている高耐圧トランジスタを有する半導体装置であって、前記チャネル形成領域上にゲート絶縁膜を介して積層された第1の電極と、前記第1の電極および前記オフセット不純物領域上に中間絶縁膜を介して積層され、第1の電極上に開口する前記中間絶縁膜の接続孔を介して当該第1の電極と電氣的に接続されている第2の電極と、を有する半導体装置。

【請求項 2】 前記第2の電極に対し、少なくとも前記オフセット不純物領域側の側壁に側壁スペースが設けられ、

当該側壁スペースを挟んだ第2電極の上面と前記高濃度な不純物領域上に、それぞれ導電層が形成されている請求項 1に記載の半導体装置。

【請求項 3】 前記2つの不純物領域のうち他方の不純物領域も、前記チャネル形成領域側から順に、低濃度なオフセット不純物領域と高濃度な不純物領域とを隣接させて構成され、

前記第2の電極が、前記中間絶縁膜を介して前記第1の電極上から当該他方の不純物領域のオフセット領域上に延在されている請求項 1に記載の半導体装置。

【請求項 4】 前記第2の電極に対し、前記他方の不純物領域を構成するオフセット不純物領域側の側壁にも側壁スペースが設けられ、

当該側壁スペースに隣接し前記他方の不純物領域を構成する高濃度な不純物領域上にも導電層が形成されている請求項 3に記載の半導体装置。

【請求項 5】 前記高耐圧トランジスタのほか、積層電極構造のメモリトランジスタを多数有し、

前記第1の電極が、前記メモリトランジスタのフローティングゲート電極と同じ階層の導電膜で構成され、

前記第2の電極が、前記メモリトランジスタのコントロールゲート電極と同じ階層の導電膜で構成されている請求項 1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば不揮発性メモリ等、高耐圧トランジスタを含む半導体装置に関する。

【0002】

【従来の技術】 たとえば不揮発性半導体メモリや高耐圧仕様のマイクロプロセッサ等、高電圧を扱う半導体装置において、高電圧をオペレーションするためのトランジスタは、比較的に低い電圧で駆動する通常のトランジスタと構造が若干異なっている。

【0003】 図8には、この高耐圧トランジスタの一例を、通常のトランジスタと比較して示す。同図(a)は、通常のトランジスタ例として、LDD(Lightly Doped Drain)構造のNチャネルMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)の概略断面図である。また、同図(b)は、高耐圧NチャネルMOSFETの概略断面図である。図8において、符号100はシリコンウェハ等の半導体基板、101はPウェル、102はフィールド酸化膜、103はゲート絶縁膜、104はゲート電極、105a、105bはn型不純物が比較的に低濃度に導入されたLDD領域、106はサイドウォール、107a、107bはそれぞれn型不純物が比較的に高濃度に導入されたソース領域、ドレイン領域である。

【0004】 図8(b)に示す高耐圧NチャネルMOSFETは、同図(a)に示す通常のMOSFETと比較すると、高電圧印加側(Nチャネル型では、ドレイン側)の不純物領域105b、107bの構造が若干異なっている。すなわち、通常のMOSFETでは、ゲート電極104とドレイン領域107bとのオフセット量は自己整合的にサイドウォール106の幅に決められているのに対し、高耐圧MOSFETでは、両者間にサイドウォール106の幅より大きなオフセットAをもたせてある。このようなオフセット構造のFETでは、高電圧が印加されるドレイン領域107bについて、ゲート電極104との間で電界集中が緩和され、この結果、通常のMOSFETに比べると、ソース〜ドレイン間電圧を高くすることができる。

【0005】 図9(a)〜(d)は、上記構成の高耐圧MOSFETの製造過程の一部を抜き出して示す概略断面図である。図9(a)より前の工程については、特に図示しないが、まずPウェル101が形成された半導体基板(p型の半導体基板でも可)を用意し、常法に従ってフィールド酸化膜102を形成した後、ゲート絶縁膜103とゲート電極104となる膜を成膜し加工する。その後、加工後のゲート電極104とフィールド酸化膜102をマスクとしたイオン注入によって、LDD領域105a、105bを自己整合的に形成する。図9(a)は、このイオン注入後の状態を示す。

【0006】 次に、例えば酸化シリコン膜または窒化シリコン膜等の膜106aを全面に成膜し(図9

(b))、この形成膜全面に対しRIE(Reactive Ion Etching)等の異方性エッチングを施し、形成膜をエッチバック(etch back)する。これにより、ゲート電極104の側壁にサイドウォール106が形成される(図9(c))。

【0007】 図8(a)に示した通常のMOSFETでは、その後、サイドウォール106およびフィールド酸化膜102をマスクとしたイオン注入によってソース領域107aとドレイン領域107bを自己整合的に形成

する。これに対し、当該高耐圧MOSFETでは、先に記述したオフセット構造を実現するために、図9(d)に示すように、磁性層(例えばレジストパターン108)を、ドレイン側のLDD領域105b上から周囲のゲート電極104上やフィールド酸化膜102上途中にかけて形成する。このレジストパターン108によって、図9(d)に示すように、図8(b)のオフセットAとなる部分が被覆され、その外側が部分的に開口される。したがって、このレジストパターン108をマスクとしてイオン注入を行なうと、図8(b)に示すように、ドレイン側では、このレジストパターン108の開口位置にドレイン領域107bが形成される。他方、ソース側では、通常のMOSFETと同様に、サイドウォール106およびフィールド酸化膜102に対し自己整合的にソース領域107aが形成される。この後は、特に図示しないが、所定の配線層等の形成によって電極取出しが行なわれる。

【0008】

【発明が解決しようとする課題】この従来の高耐圧MOSFETの製造方法では、図9(b)から図9(c)にかけて、サイドウォール106を形成するためのエッチバックの際、通常、オーバーエッチング(over etching)が施される。すなわち、サイドウォール膜材106aの膜厚やエッチングのされ方がウェーハ面内で均一とは限らないことから、ウェーハ面内どの箇所においてもソース領域107aやドレイン領域107bとなる部分に当該膜材106aが残らないようにするために、ジャストエッチ(just etch)の時間から更に所定割合だけ長い時間(または、膜厚で規定してもよい)だけ余分にエッチングされる。したがって、このRIE等におけるオーバーエッチング時に、LDD領域105a、105bの露出表面がイオン化粒子等で叩かれることになる。

【0009】このとき、当該膜材106aとシリコン基板(厳密には、LDD領域105a、105b)との選択比があまり大きくない場合も少なくない。たとえば、酸化シリコン膜とシリコンとの選択比は通常3~5程度であり、この場合、オーバーエッチングによって表出するLDD領域105a、105bの表面が削れることは免れない。図8(a)の通常のMOSFETでは、この削れた表面全体に、その後高温高圧な不純物領域107a、107bが形成されることから、この表面削れが特性上問題となることは少ない。これに対し、同図(b)の高耐圧MOSFETでは、図中、符号Bで示す電流経路途中のオフセット領域表面が削れることから、この部分が高抵抗化してしまい、ソース〜ドレイン間電流 I_{ds} がとれなくなるといった問題があった。

【0010】加えて、このオフセット領域Bを含むLDD領域105bの表出部分は、オーバーエッチング時にプラズマに曝されるため、その後層間膜を形成したときに層間膜とLDD領域105bとの界面に界面準位が

残ってしまい、トランジスタ動作を繰り返すうちに、界面準位に電子が次第に捕獲され、この結果、図10に示すように I_{ds} が低下し、ひいては駆動能力が劣化するという問題もあった。この2番目の問題は、特にトランジスタサイズを縮小化しゲート長やオフセット長 L_A を短く設定した場合に顕著になってくることから、今後、高耐圧トランジスタを有する半導体装置の更なる微細化を進めていく上で、今以上に重要な解決課題となるものと予想される。

【0011】一方、この微細化過程で高速性を確保するためには、スケールリング則にのっとって不純物領域の深さ方向にも微細化(極薄化)を同時に進めなければならず、このときの不純物領域の低抵抗化技術の一つにSALICIDE(Self-Aligned Silicide)と称され、不純物領域をゲート電極とともに自己整合的にシリサイド化する技術がある。このシリサイドの形成のためには、特定な高融点金属等の膜を全面に成膜し、熱処理を施してシリコン或いはポリシリコン(ゲート電極材)と反応させ、その後、未反応な絶縁膜上の金属膜を酸等で除去することが、通常行なわれる。

【0012】SALICIDE技術をそのまま高耐圧トランジスタに適用するとした場合、図8(b)のように高温高圧な不純物領域107a、107bを形成後、シリサイドの一括形成を行なう。このシリサイドの一括形成によって、図11に示すように、シリサイド109がゲート電極104上と不純物領域105a、105b、107a、107bの露出表面上全域に形成され、図8(b)のオフセット領域Bにもシリサイド109が形成されてしまう。シリサイド109がオフセット領域Bにも形成されると、オフセットを設けた意味が失われ、当該トランジスタは電界緩和を行うことが出来ずに耐圧が低下してしまう。すなわち、高速デバイスに高耐圧トランジスタを搭載しようとした場合に、SALICIDE(又は、シリサイド)技術をそのまま適用できず、この結果、高耐圧トランジスタが必要なデバイスは高速化が余り進展しないといった問題があった。

【0013】以上のような問題点を回避するために、ゲート電極に対する不純物領域の配置構造として、GOLD(Gate Overlapped Drain)構造を採用することも考えられる。図12は、GOLD構造を有するNチャネルMOSトランジスタの一般的な概略断面図である。図12中、符号101はPウェル、103はゲート絶縁膜、104はゲート電極、105a、105bは低濃度な不純物領域、107a、107bは高温高圧な不純物領域を示すことは、図8の場合と同様である。

【0014】GOLD構造が図8の場合と異なるのは、各不純物領域105a、105b、107a、107bと、ゲート電極104との相対位置関係である。すなわち、GOLD構造の低濃度な不純物領域105a、105bは、ゲート電極104の下方で所定幅オーバーラップ

し、ゲート電極104のエッジ外側には、高温度な不純物領域107a、107bが位置している。GOLD構造の形成において、低温度な不純物領域105a、105bをゲート電極104の下方で所定幅オーバーラップさせるには、不純物領域105a、105bを形成後に熱処理して熱拡散させるか、又はゲート電極104の形成前に対向間隔が狭い不純物領域105a、105bを予め形成しておく方法が採られる。このため、図9(c)の工程のように、低温度な不純物領域105a、105bの表面がドライエッチング時のプラズマ中に曝されることがない。また、特に図示しないが、ゲート電極104の側壁にサイドウォールを形成し、これを分離絶縁膜としてシリサイドを形成する場合でも、低温度な不純物領域105a、105bはゲート電極104に保護され、構造上、この不純物領域105a、105b上がシリサイド化されることもない。したがって、GOLD構造では、先に指摘した駆動能力および耐圧の低下は回避される。

【0015】しかし、上記した熱拡散により不純物領域105a、105bをオーバーラップさせる方法では、十分なオフセット量を得るための加熱条件下、高耐圧トランジスタ以外の微細なトランジスタへの悪影響が大きい。たとえば、不揮発性メモリの場合、周辺回路を構成する高耐圧トランジスタのオフセット量確保のための熱処理によって、メモリアレイを構成する微細トランジスタのチャネル形成領域の不純物プロファイルが変化したり、拡散層が広がって短チャネル効果に弱くなるなど、この加熱が特性劣化を引き起こす要因となる。また、ゲート電極104の形成前に不純物領域105a、105bを予め形成しておく方法では、不純物領域105a、105bを形成する際のイオン注入時に、チャネル形成領域上のゲート絶縁膜103にダメージが与えられ、膜質劣化が懸念される。

【0016】本発明は、このような実情に鑑みてなされ、高耐圧トランジスタの駆動能力および耐圧の低下を防止し、加えて他のトランジスタの特性劣化も防止して信頼性を高めた半導体装置を提供することを目的とする。

【0017】

【課題を解決するための手段】 上述した従来技術の問題点を解決し、上記目的を達成するために、本発明に係わる半導体装置では、半導体基板内の表面側でチャネル形成領域を挟んで互いに離間する2つの不純物領域を有し、少なくとも一方の前記不純物領域が、前記チャネル形成領域側から順に、低温度なオフセット不純物領域と高温度な不純物領域とを隣接させて構成されている高耐圧トランジスタを有する半導体装置であって、前記チャネル形成領域上にゲート絶縁膜を介して積層された第1の電極と、前記第1の電極および前記オフセット不純物領域上に中間絶縁膜を介して積層され、第1の電極上に

開口する前記中間絶縁膜の接続孔を介して当該第1の電極と電気的に接続されている第2の電極と、を有することを特徴とする。このような構成の半導体装置では、オフセット不純物領域が第2の電極によって保護され、高耐圧トランジスタのIdsの初期値低下や動作時劣化が防止される。

【0018】また、本発明の半導体装置では、前記第2の電極に対し、少なくとも前記オフセット不純物領域側の側壁に側壁スペースが設けられ、当該側壁スペースを挟んだ第2電極の上面と前記高温度な不純物領域上に、それぞれ導電層が形成されていることを他の特徴とする。この半導体装置では、オフセット不純物領域が第2の電極で保護され、この領域上にシリサイドが形成されないことから、当該高耐圧トランジスタの不純物領域について、その部分的な(高温度な不純物領域のみの)シリサイド化が可能となる。

【0019】さらに、本発明の半導体装置では、前記高耐圧トランジスタのほか、積層電極構造のメモリトランジスタを多数有し、前記第1の電極が、前記メモリトランジスタのフローティングゲート電極と同じ層の導電膜で構成され、前記第2の電極が、前記メモリトランジスタのコントロールゲート電極と同じ層の導電膜で構成されていることを他の特徴とする。この半導体装置では、メモリトランジスタと高耐圧トランジスタとのウェーハプロセス上の整合性が高い。すなわち、メモリトランジスタの形成において、半導体基板上に絶縁膜を介してフローティングゲート電極とコントロールゲート電極とを積層させて形成すると同時に、高耐圧トランジスタの第1の電極と第2の電極とによる積層電極を形成させることができる。したがって、本発明によって、ウェーハプロセスの容易化され、低コストな半導体装置が提供される。

【0020】

【発明の実施の形態】 以下、本発明に係わる半導体装置およびその製造方法を、図面を参照しながら詳細に説明する。

【0021】 第1実施形態

図1(a)は、本実施形態に係わる半導体装置において、その高耐圧トランジスタのチャネル長方向に沿った概略断面図であり、図(b)はチャネル幅方向に沿った概略断面図である。図中、符号1は高耐圧トランジスタ、2はシリコンウェーハ等の半導体基板、3はPウェル、3aはチャネル形成領域、4はフィールド酸化膜、5はゲート絶縁膜、6a、6bはn型不純物が比較的に低温度に導入された低温度領域、7a、7bはそれぞれn型不純物が比較的に高温度に導入されたソース領域、ドレイン領域である。

【0022】 本実施形態の高耐圧トランジスタ1では、チャネル形成領域3a上に、ゲート絶縁膜5を介して第1の電極8が形成されている。第1の電極8は、図1

(b) のチャネル幅方向でみると、チャネル形成領域3aを挟んで位置する2つのフィールド酸化膜4、4上にそれぞれ乗り上げたがたで延在している。第1の電極8は、不純物が導入されて導電化された第1ポリシリコン膜で構成されている。第1の電極8上に中間絶縁膜9が成膜され、この中間絶縁膜9上に、第2の電極10が形成されている。第2の電極10は、図1(a)のチャネル長方向でみると、第1の電極8上を覆い、低温度領域6a、6bのゲート絶縁膜5に直接的に接する各部分(以下、この各部分をオフセット領域と称する)上に延在している。また、図1(b)のチャネル幅方向でみると、第2の電極10は、一方側で第1の電極8上を覆い、他方側でフィールド酸化膜4上に乗り上げた第1の電極8部分の途中まで延在している。第2の電極10は、不純物が導入されて導電化された第2ポリシリコン膜で構成されている。

【0023】第2の電極10上に、平坦化された層間絶縁膜11が形成されている。層間絶縁膜11には、図1(b)に示すように、第2の電極10の他端部を含む範囲で開口するコンタクト孔11aが形成されている。この層間絶縁膜11のコンタクト孔11aの内底部に位置する前記中間絶縁膜9も部分的に除去され、これにより中間絶縁膜9のコンタクト孔9aが形成されている。この互いに連通するコンタクト孔11a、9a内に充填されたかたちで、局部配線層12が形成されている。局部配線層12を介して、第1の電極8と第2の電極10とが電気的に接続されている。

【0024】このような構造の高耐圧トランジスタ1では、低温度領域6a、6bが第1の電極8に対し自己整合的に形成され、またソース領域7a及びドレイン領域7bが第2の電極10に対して自己整合的に形成されている。これにより、ソース及びドレインの両方の側に、低温度領域6a、6bの前記オフセット領域が形成されている。一般に、このオフセット領域は、高電圧が印加される側(この場合、ドレイン側)のみ設けられることが多いが、ドレインとソースが入れ替わるスイッチとして用いるトランジスタ等においては、この実施形態のように、ソースおよびドレイン双方について、第2の電極10で保護されたオフセット領域を設けることが望ましい。

【0025】このようなオフセット構造のトランジスタ1では、高電圧が印加されるドレイン領域7b(又は、ソース領域7a)について、第1の電極8および第2の電極10との間で電界集中が緩和され、この結果、耐圧(ソースドレイン間耐圧、ゲートドレイン間耐圧)が高められる。この低温度領域6a、6bの前記オフセット領域が、第2の電極10の下方に位置することから、構造上、第2の電極10の形成時にドライエッチング等によってダメージが導入されることがない。また、第1の電極8とチャネル形成領域3aとの間にはゲート

絶縁膜5が介在するのに対し、第2の電極10とオフセット領域との間には、ゲート絶縁膜5に加えて中間絶縁膜9が介在している。動作時に、このオフセット領域に対しては、チャネル形成領域3aに対するよりも弱い電圧がゲート電極の支配能力が及ぶこととなる。このため、オフセット領域の表面側に電荷のトラップ準位が存在しても、このトラップ準位によって電子がピンニングされることがなく、ソースドレイン間電流 I_{ds} の低下が防止されるといった効果もある。

【0026】なお、この図1(a)では、ソース領域7aおよびドレイン領域7bは、それぞれの低温度領域6a、6bより浅く形成されている。これは空乏層が延びることを抑えた方が高耐圧化に有利なためであるが、これに限らず、一般のLDD構造と同様に高温度なソース領域7aおよびドレイン領域7bを、それぞれ低温度領域6a、6bより深く形成してもよい。一方、図1

(b)において、局部配線層12は、第1の電極8と第2の電極10を電気的に接続するとともに、ゲート電極の引出し配線層としても機能させたものである。本発明では、第1の電極8と第2の電極10とは、少なくとも中間絶縁膜9に形成されたコンタクト孔9aを介して電気的に相互接続されていることを要件とし、この接続構造は図1(b)に限定されない。たとえば、コンタクト孔9a上に第2の電極10を延在させ、ゲート電極の引出し配線層は別に設けるか、又は第2の電極10自身を引出し配線層として用いることもできる。

【0027】つぎに、以上のように構成された高耐圧トランジスタ1の製造方法について、図面を参照しながら説明する。ここで、図2および図3は、図1に示す高耐圧トランジスタ1の各製造過程を示す概略断面図である。図2(a)では、まずシリコンウェハ等の半導体基板を用意し、その表面に例えばイオン注入法でp型不純物を導入すること等によってPウェル3を形成した後、例えばLOCOS(Local Oxidation of Silicon)法を用いてフィールド酸化膜4を選択的に形成する。フィールド酸化膜4を形成するには、特に図示しないが、まずパッド用酸化膜、窒化シリコン膜などの酸化阻止膜を、この順に積層し、これらをドライエッチングにより所定パターンに加工した後、LOCOS酸化を行なう。これにより、素子間分離が達成される。

【0028】つぎに、必要に応じてチャネルストッパ形成用のイオン注入を行い、そのアニール後に、上記酸化阻止膜を除去し、この上に熱酸化法等を用いてゲート絶縁膜5を成膜する。これにより、図2(a)に示すように、フィールド酸化膜4によって囲まれた活性領域上が、ゲート絶縁膜5で被覆される。

【0029】図2(b)では、例えばCVD(Chemical Vapor Deposition)法を用いて、全面に第1ポリシリコン膜8aを堆積した後、この第1ポリシリコン膜8aにP(リン)等をドーピングして導電化する。導電化後の第1

ポリシリコン膜8a上に、所定形状のレジストパターン13を、通常のフォトリソグラフィ技術を用いて形成する。

【0030】図2(c)では、レジストパターン13をエッチングマスクとして、例えばR1E(Reactive Ion Etching)法により第1ポリシリコン膜8aを異方性エッチングし、所定形状にパターニングする。これにより、第1の電極8が形成される。続いて、レジストパターン13を残したまま、イオン注入法により活性領域表面に低濃度領域6a、6bを形成する。具体的には、例えばAsイオン等を注入した後、注入イオンを電気的に活性化するための熱処理を行う。これにより、Pウェル3表面に、チャネル形成領域3aを挟んで相対する2つの低濃度領域6aと6bとが、第1の電極8に対して自己整合的に形成される。

【0031】図2(d)では、レジストパターン13を除去後、例えばボトム酸化シリコン膜、窒化シリコン膜およびトップ酸化シリコン膜を連続的に全面に成膜し、中間絶縁層9を形成する。中間絶縁層9上の全面に、例えばCVD法を用いて、第2ポリシリコン膜10aを堆積する。

【0032】図3(e)では、窒化後の第2ポリシリコン膜10a上に、所定形状のレジストパターン14を、通常のフォトリソグラフィ技術を用いて形成する。レジストパターン14をエッチングマスクとして、第2ポリシリコン膜10aを例えばR1E法により異方性エッチングし、所定形状にパターニングする。これにより、第2の電極10が形成される。この異方性エッチング時に、第2の電極10下方の低濃度領域6a、6b表面部分(後の、オフセット領域となる部分)にダメージが導入されることがない。

【0033】図3(f)では、レジストパターン14を除去後、イオン注入法により低濃度領域6a、6b表面に、それぞれソース領域7a、ドレイン領域7bを形成する。具体的には、例えばPイオン等を注入した後、注入イオンを電気的に活性化するための熱処理を行う。これにより、低濃度領域6a、6b表面の前記オフセット領域外側に、それぞれソース領域7a、ドレイン領域7bが、第2の電極10に対して自己整合的に形成される。このイオン注入時では、オフセット領域が第2の電極10で保護され、イオン注入時のダメージが当該オフセット領域に導入されることがない。

【0034】図3(g)では、全面に例えばSiO₂からなる層間絶縁層11を成膜し、リフロー等で平坦化する。この工程では、層間絶縁層11として酸化シリコン膜等の他の絶縁膜を用いることができる。その場合、更に絶縁膜上にレジストを成膜し、このレジストとともに層間絶縁層11の凸状段差をエッチバックすることにより平坦化する方法が採用できる。また、化学的機械研磨によって平坦化してもよい。

【0035】図3(h)では、層間絶縁層11及び下層側の中間絶縁層9に対し、コンタクト孔11a、9aを同時形成する。具体的には、まず、図示せぬ所定形状のレジストパターンを、前記フィールド酸化膜4上方に延在する前記第2の電極の他端部上で開口するように形成する。このレジストパターンをエッチングマスクとし、少なくとも第2の電極10と選択比がある程度とれる条件で例えばR1E等の異方性エッチングを施す。これにより、図3(h)に示すように、第2の電極10の他方端部と第1の電極8の上面の一部が表面に露出する。

【0036】続いて、図1に示す局部配線層12となる導電膜を全面に成膜し、第1の電極8と第2の電極10とを電気的に接続させた後、通常のフォトリソグラフィ技術とエッチング加工技術とを用いて、この導電膜を加工してする局部配線層12を形成する。その後は、特に図示しないが、他の層間絶縁層成膜、コンタクト孔形成、他の金属配線層形成、オーバーコート膜成膜、パッド露開け等を経て、当該半導体装置を完成させる。

【0037】以上説明してきたように、本発明の半導体装置は、低濃度領域6a、6bのオフセット領域上に、その形成後直ぐに、中間絶縁層9及び第2の電極10となる第2ポリシリコン膜10aで被覆され、この状態が当該半導体装置の製造過程を通じて最後まで維持される。このため、第2の電極10の加工時、ソース領域7a及びドレイン領域7bのイオン注入時に、オフセット領域が第2ポリシリコン膜10aで保護され、イオン化粒子や不純物イオン等でたたかれることはない。したがって、従来から問題であったオフセット領域の表面が削れて高抵抗化し、ソースドレイン間電流I_{ds}がとれなくなるといった事態を構造上回避できる。電荷のトラップ準位の導入も極力防止され、従来から問題であったトランジスタ動作を繰り返すうちに、このトラップ準位に電子が捕獲されて駆動能力が低下してしまうという問題も、構造上回避できる。

【0038】第2実施形態

本実施形態は、片側オフセット構造についてのものである。図4は、この第2実施形態に係る高耐圧トランジスタを示す概略断面図である。なお、図4に示す本実施形態の高耐圧トランジスタ1は、基本的な構成要素は、前記した図1の第1実施形態の場合と同様で、各構成要素は同一符号を付し、その説明を省略する。

【0039】本実施形態では、前記第1実施形態と異なり、前記第1の電極8に対し、前記第2の電極10を高電圧印加側(このNチャネルの場合、ドレイン側)のみオーバーラップさせている。また、第1の電極8に対し自己整合的に形成される低濃度領域6a、6bと、第2の電極10に対し自己整合的に形成されるソース領域7a、ドレイン領域7bとが、非対称に形成されている。このため、ドレイン側にのみオフセット領域が形成されている。なお、第1の電極8と第2の電極10との接続構造は、

第1実施形態の場合と同様である。

【0040】この片側オフセット構造の電極形成は、図5（第1実施形態の図3（e）に対応）に示すように、第1の電極8上からドレイン側にかけてレジストパターン14を形成し、このレジストパターン14をエッチングマスクとした異方性エッチングすることによって容易に達成される。

【0041】本実施形態の高耐圧トランジスタ1も、第1実施形態と同様な効果を奏し、ソース〜ドレイン間電流 I_{ds} の初期値低下、動作中の駆動能力低下を効果的に防止することができる。

【0042】第3実施形態

本実施形態は、第1実施形態の高耐圧トランジスタにサリサイド技術を適用して低抵抗化した場合である。本発明では、第2実施形態の片側オフセット構造の高耐圧トランジスタについてサリサイドを形成することもできるが、繰り返しを避けるため、ここでは第1実施形態の高耐圧トランジスタの場合について説明する。図6は、この第3実施形態に係る高耐圧トランジスタを示す概略断面図である。なお、図6に示す本実施形態の高耐圧トランジスタも、ゲート電極のオーバーラップ及び不純物領域のオフセット構造そのものは第1実施形態と同様であり、重複する各構成要素は同一符号を付し、その説明を省略する。

【0043】本実施形態の高耐圧トランジスタ1では、第2の電極10の両側壁にサイドウォール15がそれぞれ形成され、このサイドウォール15に対し、ソース領域7a及びドレイン領域7bが自己整合的に形成されている。したがって、第1実施形態の場合（図1）と比較すると、このサイドウォール15の幅だけ第2の電極10とソース領域7a又はドレイン領域7bとのチャンネル長方向の距離が離れている。サイドウォール15を挟んだ第2の電極10の上面とソース領域7a及びドレイン領域7b上には、それぞれ高融点金属シリサイド等からなる導電層16が形成されている。

【0044】サイドウォール15の形成は、先の第1実施形態を示す図3の場合でいうと、図3（f）の第2の電極10加工後に、所定のサイドウォール膜材を全面に成膜し、これをRIE等の異方性エッチングでエッチバックすることにより達成される。その後、第1実施形態と同様に、ゲート絶縁膜5と中間絶縁膜9をエッチングし、ソース領域7a及びドレイン領域7bをイオン注入法により形成する。そして、表面に露出した第2の電極10および不純物領域7a、7b上に、高融点金属シリサイド等からなる導電層16を自己整合的に形成する。具体的には、特に図示しないが、所定の高融点金属からなる金属層を例えばスパッタ法等によって全面に成膜し、熱処理により露出表面部分のみシリサイド化した後、絶縁膜上にあってシリサイド化していない金属層を酸で除去する方法、あるいは、CVD法で露出表面部分

のみに金属層を選択的に形成し熱処理でシリサイド化する方法などにより、この導電層16が形成される。

【0045】なお、図6の高耐圧トランジスタ1におけるサイドウォール15は、導電層16形成時の這い上がりによる電極間ショートを防止することを目的とする。したがって、導電層16の這い上がりが殆どない場合、あるいはゲート絶縁膜5と中間絶縁膜9が十分に厚く分離層として機能する場合にあっては、サイドウォール15を省略してもよい。また、先の第1実施形態の説明では、第2の電極10をポリシリコン膜から構成させるとしたが、第2の電極10が他の材料、例えばアルミニウム（Al）等の場合は、この第2の電極10上には低抵抗化のための導電層16は形成されず、単に不純物領域7a、7bがシリサイド化されるのみとなる。

【0046】本実施形態では、不純物領域7a、7bのシリサイド、またはサリサイド技術をそのまま導入した場合でも、低温度領域6a、6bのオフセット領域にはシリサイド等の導電層16が形成されない。このため、従来懸念されていたような、オフセット領域で電界緩和を行うことが出来ずに耐圧が低下してしまうことは起こらない。

【0047】第4実施形態

本実施形態は、上記した高耐圧トランジスタを不揮発性メモリの周辺回路に用いた場合である。なお、第1実施形態の高耐圧トランジスタの場合も同様であることから、繰り返しを避けるため、ここでは第2実施形態の高耐圧トランジスタの場合について説明する。図7には、この不揮発性メモリの素子を示す概略断面図である。なお、この図では、簡略化のため、サイドウォール及び電極配線等は省略してある。この不揮発性メモリは、メモリトランジスタを行列状に多数配列させたメモリアレイと、周辺回路とから構成されている。周辺回路は、第2実施形態で説明した高耐圧トランジスタ1を備えている。

【0048】本実施形態では、メモリアレイを構成するメモリトランジスタ17について、そのゲート絶縁膜5上の積層ゲート電極構造が、下層側からフローティングゲート18と、中間絶縁膜19と、コントロールゲート20とから構成されている。このフローティングゲート18は、周辺回路の高耐圧トランジスタ1における第1の電極8と同じ層の膜である前記第1ポリシリコン膜8aで構成されている。同様に、コントロールゲート20は第2の電極10と同じ層の膜である前記第2ポリシリコン膜10aで構成され、また中間絶縁膜19も周辺回路側の中間絶縁膜9と同じ層の膜で構成されている。

【0049】本実施形態の半導体装置によれば、周辺回路側とメモリアレイ側とが共に2層電極構造を有し、しかも各層が同じ層の膜から構成されていることから、周辺回路の高耐圧トランジスタ1とメモリトランジスタ

17とを一括形成でき、ウェーハプロセスの整合性が極めて高い。この結果、当該不揮発性メモリは、製造が容易で、高耐圧トランジスタ1を有することによるフォトマスク枚数の増加もなく、コストパフォーマンスが高いといった利点を有する。

【0050】

【発明の効果】以上説明してきたように、本発明に係る半導体装置によれば、高耐圧トランジスタのオフセット不純物領域の表面割れによるソースドレイン間電流の初期値低下、及び当該領域表面の電荷トラップによるソースドレイン間電流のトランジスタ動作中の劣化を有効に防止することができる。また、シリサイド等の導電層を、耐圧を低下させることなく不純物領域上に形成することができる。すなわち、シリサイド又はシリサイドプロセスとの適合性が高い高耐圧トランジスタを実現できる。さらに、高耐圧トランジスタ以外に、フローティングゲートを有する積層電極構造のトランジスタ等とのウェーハプロセスの整合性が高い。

【0051】以上より、本発明によって、高耐圧トランジスタの駆動能力低下を防止し、高速化のため不純物領域の低抵抗化が図り易く、加えて積層電極構造のトランジスタと高耐圧トランジスタとを一括形成することによって製造が容易化され低コストな半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の要部（高耐圧トランジスタ部分）を示す概略断面図である。

【図2】図1の高耐圧トランジスタの製造過程において、第2の電極の成膜までを示す概略断面図である。

【図3】図2に続き、層間絶縁層のコンタクト孔形成までを示す概略断面図である。

【図4】本発明の第2実施形態に係る片側オフセット構造の高耐圧トランジスタを示す概略断面図である。

【図5】図4の高耐圧トランジスタの製造過程のうち、図3（e）に対応する過程を示す概略断面図である。

【図6】本発明の第3実施形態に係るシリサイド化された高耐圧トランジスタを示す概略断面図である。

【図7】本発明の第4実施形態に係る半導体装置（不揮発性メモリ）の要部を示す概略断面図である。

【図8】従来の半導体装置について、高耐圧トランジスタ（図8（b））の一例を、通常のトランジスタ（図8（a））と比較して示す概略断面図である。

【図9】図9（a）～（d）は、図8（b）の高耐圧トランジスタの製造過程の一部を抜き出して示す概略断面図である。

【図10】図8（b）の高耐圧トランジスタの動作中におけるソースドレイン間電流の劣化を示すグラフである。

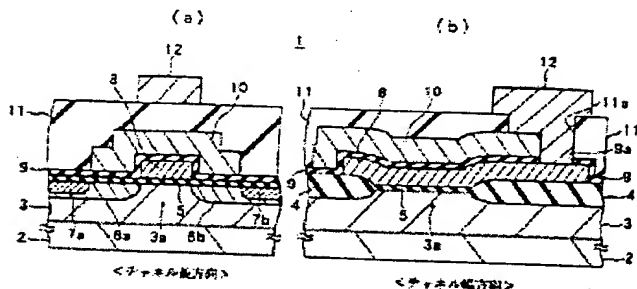
【図11】図8（b）の高耐圧トランジスタをシリサイド化した場合の概略断面図である。

【図12】従来のGOLD構造を有する半導体装置の概略断面図である。

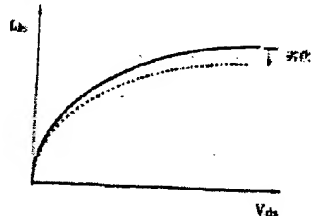
【符号の説明】

1…高耐圧トランジスタ、2…半導体基板、3…Pウェル、3a…チャネル形成領域、4…フィールド酸化膜、5…ゲート絶縁膜、6a、6b…底層領域（底層領域なオフセット不純物領域）、7a…ソース領域（高温領域な不純物領域）、7b…ドレイン領域（高温領域な不純物領域）、8…第1の電極、8a…第1ポリシリコン膜（第1の電極と同じ層の導電膜）、9…中間絶縁膜、9a…コンタクト孔（接続孔）、10…第2の電極、10a…第2ポリシリコン膜（第2の電極と同じ層の導電膜）、11…層間絶縁層、11a…コンタクト孔、12…局部配線層、13、14…レジストパターン、15…サイドウォール、16…シリサイド等の導電層、17…メモリトランジスタ、18…フローティングゲート、19…中間絶縁膜、20…コントロールゲート。

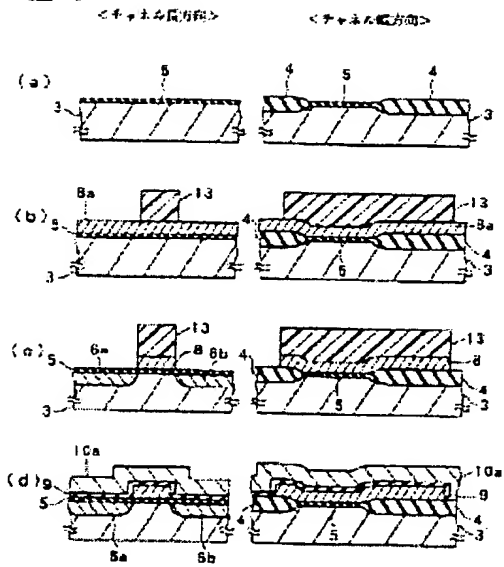
【図1】



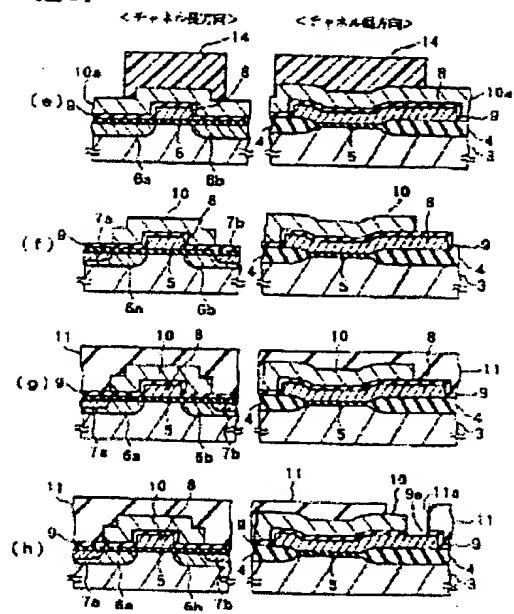
【図10】



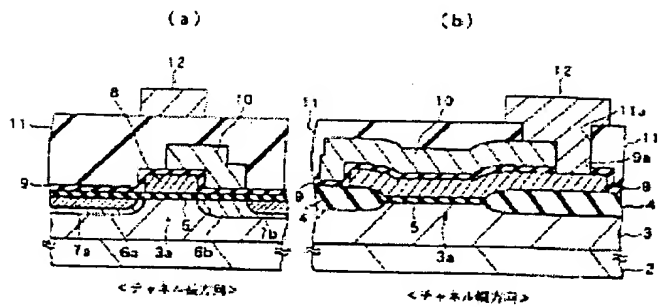
【図 2】



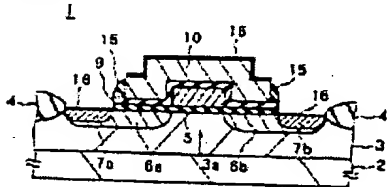
【図 3】



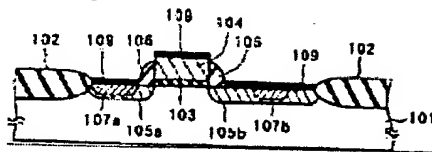
【図 4】



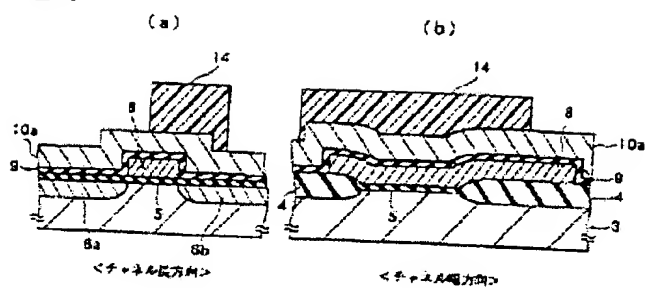
【図 5】



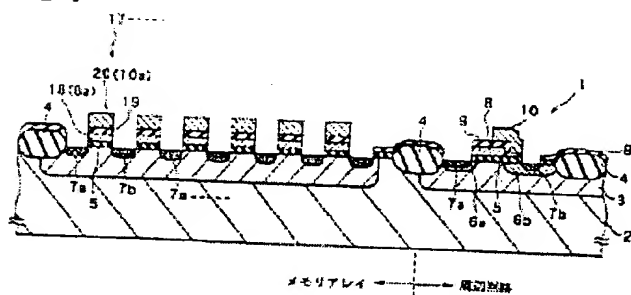
【図 11】



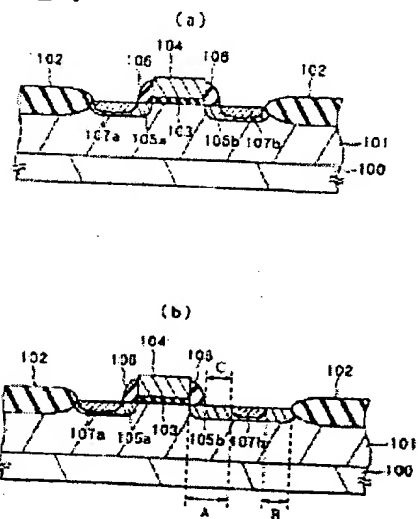
【図5】



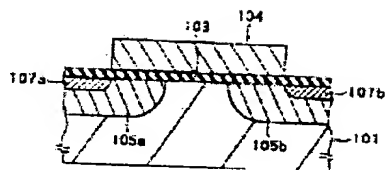
【図7】



【図8】



【図12】



[9]

